

10/587366

R E P U B L I Q U E F R A N C A I S E

PCT/FR2005/050058



REC'D 12 APR 2005

WIPO

PCT

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 03 MARS 2005

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

DOCUMENT DE PRIORITÉ

PRÉSENTÉ OU TRANSMIS
CONFORMÉMENT À LA
RÈGLE 17.1.a) OU b)

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint-Petersbourg
75800 PARIS cedex 08
Téléphone : 33 (0)1 53 04 53 04
Télécopie : 33 (0)1 53 04 45 23
www.inpi.fr



BREVET D'INVENTION CERTIFICAT D'UTILITE

26bis, rue de Saint-Petersbourg
75800 Paris Cédex 08
Téléphone: 01 53.04.53.04 Télécopie: 01.42.94.86.54

Code de la propriété intellectuelle-livre VI

REQUÊTE EN DÉLIVRANCE

DATE DE REMISE DES PIÈCES: N° D'ENREGISTREMENT NATIONAL: DÉPARTEMENT DE DÉPÔT: DATE DE DÉPÔT:	Michel DE BEAUMONT CABINET MICHEL DE BEAUMONT 1, rue Champollion 38000 GRENOBLE France
Vos références pour ce dossier: B6364	

1 NATURE DE LA DEMANDE			
Demande de brevet			
2 TITRE DE L'INVENTION			
		GENERATION D'UN FLUX DE BITS ALEATOIRE A HAUT DEBIT	
3 DECLARATION DE PRIORITE OU REQUETE DU BENEFICE DE LA DATE DE DEPOT D'UNE DEMANDE ANTERIEURE FRANCAISE		Pays ou organisation	Date
		N°	
4-1 DEMANDEUR			
Nom	CENTRE NATIONAL DE LA RECHERCHE SCIENTIFIQUE		
Rue	3, RUE MICHEL ANGE		
Code postal et ville	75794 PARIS CEDEX 16		
Pays	France		
Nationalité	France		
Forme juridique	Etablissement public		
5A MANDATAIRE			
Nom	DE BEAUMONT		
Prénom	Michel		
Qualité	CPI: 92-1016, Pas de pouvoir		
Cabinet ou Société	CABINET MICHEL DE BEAUMONT		
Rue	1, rue Champollion		
Code postal et ville	38000 GRENOBLE		
N° de téléphone	0476518451		
N° de télécopie	0476446254		
Courrier électronique	cab.beaumont@wanadoo.fr		
6 DOCUMENTS ET FICHIERS JOINTS		Fichier électronique	Pages
Texte du brevet	textebrevet.pdf	13	D 10, R 2, AB 1
Dessins	dessins.pdf	2	page 2, figures 6, Abrégé: page 2, Fig.4
Désignation d'inventeurs			

7 MODE DE PAIEMENT				
Mode de paiement		Prélèvement du compte courant		
Numéro du compte client		665		
8 RAPPORT DE RECHERCHE				
Etablissement immédiat				
9 REDEVANCES JOINTES				
	Devise	Taux	Quantité	Montant à payer
062 Dépôt	EURO	0.00	1.00	0.00
063 Rapport de recherche (R.R.)	EURO	320.00	1.00	320.00
Total à acquitter	EURO			320.00

La loi n°78-17 du 6 janvier 1978 relative à l'informatique aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire.
Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

Signé par

Signataire: FR, Cabinet Michel de Beaumont, M.De Beaumont
Emetteur du certificat: DE, D-Trust GmbH, D-Trust for EPO 2.0

Fonction

Mandataire agréé (Mandataire 1)

1er dépôt

R E P U B L I Q U E F R A N C A I S E



BREVET D'INVENTION CERTIFICAT D'UTILITE

Réception électronique d'une soumission

Il est certifié par la présente qu'une demande de brevet (ou de certificat d'utilité) a été reçue par le biais du dépôt électronique sécurisé de l'INPI. Après réception, un numéro d'enregistrement et une date de réception ont été attribués automatiquement.

Demande de brevet : X

Demande de CU :

DATE DE RECEPTION	30 janvier 2004	
TYPE DE DEPOT	INPI (PARIS) - Dépôt électronique	Dépôt en ligne: X Dépôt sur support CD:
N° D'ENREGISTREMENT NATIONAL ATTRIBUE PAR L'INPI	0450170	
Vos références pour ce dossier	B6364	

DEMANDEUR

Nom ou dénomination sociale	CENTRE NATIONAL DE LA RECHERCHE SCIENTIFIQUE
Nombre de demandeur(s)	1
Pays	FR

TITRE DE L'INVENTION

GENERATION D'UN FLUX DE BITS ALEATOIRE A HAUT DEBIT

DOCUMENTS ENVOYES

package-data.xml	Requetefr.PDF	fee-sheet.xml
Design.PDF	ValidLog.PDF	textebrevet.pdf
FR-office-specific-info.xml	application-body.xml	request.xml
dessins.pdf	indication-bio-deposit.xml	

EFFECTUE PAR

Effectué par:	M.De Beaumont
Date et heure de réception électronique:	30 janvier 2004 11:53:24
Empreinte officielle du dépôt	E5:F7:DE:7E:01:61:D9:F8:98:47:F7:00:97:CB:8A:23:56:99:7C:D7

/ INPI PARIS, Section Dépôt /

SIEGE SOCIAL
INSTITUT 28 bis, rue de Saint Petersbourg
NATIONAL DE 75800 PARIS cedex 08
LA PROPRIETE Téléphone : 01 53 04 53 04
INDUSTRIELLE Télécopie : 01 42 93 59 30

ETABLISSEMENT PUBLIC NATIONAL CREE PAR LA LOI No 51-444 DU 19 AVRIL 1951

GÉNÉRATION D'UN FLUX DE BITS ALÉATOIRE À HAUT DÉBIT

La présente invention concerne la génération aléatoire d'un flux de bits. L'invention concerne plus particulièrement la génération d'un flux à haut débit (supérieur à 10 gigabits/s) et s'applique plus particulièrement aux transmissions à haut débit sur des liaisons ou réseaux de communication quelconques.

La figure 1 illustre, de façon très schématique et sous forme de blocs, un premier exemple d'application de la présente invention. Il s'agit d'un test d'une liaison 1 de communication entre un émetteur 2 (Tx) et un récepteur 3 (Rx). La liaison peut être une liaison électrique, optique ou aérienne. Les normes de communication prévoient des tests normalisés de simulation de trafic sur les liaisons. Ces tests s'effectuent au moyen d'un appareil 4 (TEST-RNG) spécifique, raccordé à la place de l'émetteur 2. Cet appareil de test émet une séquence pseudo aléatoire PRBS sur la ligne de transmission. Cette séquence est généralement de très haut débit. Dans l'application au test, on peut également tester directement un dispositif (par exemple, le récepteur ou un récupérateur d'horloge de la liaison) électrique, optique, hertzien, opto-électrique ou électro-optique.

La figure 2 illustre, par une vue très schématique et sous forme de blocs, un deuxième exemple d'application de l'invention. Il s'agit de brouiller ou coder une transmission,

ou de moyenner les caractéristiques des signaux afin de masquer les données émises ou d'équilibrer le trafic sur une liaison.

La figure 2 représente un émetteur 2 (Tx) connecté à une liaison 1. L'émetteur 2 comprend un circuit numérique 21 (μ Tx) de traitement de données D en vue de leur émission après modulation éventuelle (modulateur 22) sur une porteuse OL provenant d'un oscillateur local, et passage dans un amplificateur d'émission 23 (LNA). Un brouilleur ou codeur 24 est prévu en sortie du circuit 21 avant modulation par l'élément 22. Ce brouilleur (SCRAMB-RNG) a pour objet de modifier, à l'aide d'une séquence pseudo aléatoire, les caractéristiques des données émises.

L'invention s'applique également dans le cas d'une transmission optique. Par exemple, un brouilleur peut être intercalé en amont de la conversion électro-optique, l'oscillateur local étant une source lumineuse, par exemple, un laser.

Des générateurs pseudo aléatoires sont également utilisés dans des applications de code correcteur d'erreurs, de transmissions de type "accès multiple par répartition de code" (CDMA), de cryptographie, etc.

La figure 3 représente un exemple classique de générateur d'une séquence pseudo aléatoire (PRBS) du type de ceux utilisés dans les applications précitées. Un tel générateur est basé sur l'utilisation de registres à décalage bouclés sur eux-mêmes. Plusieurs bascules 30 (B_1 , B_i , B_n) sont associées en série, c'est-à-dire que la sortie Q de la bascule B_1 est reliée à l'entrée de donnée D de la deuxième bascule et ainsi de suite jusqu'à ce que la sortie Q de l'avant dernière bascule soit reliée à l'entrée D de la nième bascules. La sortie de la dernière bascule B_n est rebouclée, par l'intermédiaire d'une porte de type OU-Exclusif 31, sur l'entrée D de la première bascule. La deuxième entrée de la porte 31 est reliée en sortie d'une bascule intermédiaire B_i de l'association en série.

Le nombre de bascules dépend de la puissance souhaitée pour la séquence pseudo aléatoire, c'est-à-dire le nombre de

bits sur lequel la probabilité d'obtenir un 0 ou un 1 est respectée. Plus la séquence est longue, donc plus le nombre n de bascules est important, meilleur est l'aléa de la séquence PRBS générée. En fait, la longueur de la séquence est égale à $2^n - 1$.

5 Par exemple, en utilisant 7 bascules, on obtient une séquence de 127 bits.

Le choix de la position de la bascule intermédiaire B_i dans l'association en série est lié à l'obtention d'un polynôme irréductible de degré n et dépend donc du nombre d'étages. Les
10 séquences de bits générées sont généralement dénommées "m-Sequences" et respectent une récurrence linéaire dont la caractéristique polynomiale est primitive. De telles séquences sont par exemple décrites dans l'ouvrage "Finite Fields For Computer Scientists And Engineers" de Robert J. Mc Eliece publié chez Kluwer Academic
15 Publishers en 1995.

Un inconvénient des générateurs de signaux électriques PRBS actuels est lié aux applications haut débit, c'est-à-dire de plusieurs dizaines de gigabits/s. La réalisation de circuits logiques et notamment de bascules rapides requiert des technolo-
20 gies particulièrement coûteuses. En pratique, au delà de 10 à 20 gigabits/s, on doit utiliser des multiplexeurs pour mélanger des signaux déphasés entre eux selon une technique ETDM (Electrical Time Division Multiplexing), dont le nombre d'entrées (donc la complexité) est lié au facteur d'accélération souhaité. Cette
25 solution requiert en outre de générer, en parallèle, tous les signaux déphasés.

Dans une réalisation optique, il n'existe aujourd'hui pas d'équipement permettant d'atteindre des débits supérieurs à 48 gigabits par seconde, sauf à avoir recours à des
30 multiplexeurs de type OTDM (Optical Time Division Multiplexing) dont le nombre est lié au facteur d'accélération souhaité.

La présente invention vise à proposer une nouvelle technique de génération de trains de bits aléatoires qui permette d'atteindre des débits élevés. Selon un premier aspect,
35 l'invention vise à réduire le nombre d'éléments électroniques

utilisés pour la génération du flux. L'invention vise notamment à permettre une réduction du nombre de composants rapides d'un générateur à registres à décalage, ou le recours à un simple multiplexeur à deux entrées.

5 L'invention vise également à proposer une solution qui soit compatible avec une génération électronique et/ou optique.

Pour atteindre ces objets ainsi que d'autres, l'invention prévoit un procédé d'accélération d'un flux de bits d'entrée pseudo aléatoire, généré à une première fréquence d'horloge
10 relativement basse, en un flux de bits de sortie identique à une deuxième fréquence d'horloge relativement élevée, consistant :

à prélever le flux de bits de sortie ;

à retarder le flux prélevé d'une valeur (τ) prédéterminée ; et

15 à combiner le flux retardé avec le flux de bits d'entrée.

Selon un mode de mise en oeuvre de la présente invention, le retard τ est choisi pour respecter la relation suivante :

20
$$\tau = 2^{\ell} T_1 - T_0,$$

où T_1 représente la période d'horloge du flux de bits d'entrée, où T_0 représente la période de l'horloge du flux de bits de sortie, et où ℓ est un nombre entier fixant un paramètre de décimation.

25 Selon un mode de mise en oeuvre de la présente invention, le retard τ est choisi pour respecter la relation suivante :

$$\tau = (2k+1) * (2^n - 1) * T_0,$$

où k représente un entier quelconque, et où n représente le degré du polynôme irréductible de la séquence aléatoire.

30 Selon un mode de mise en oeuvre de la présente invention, les nombres k et ℓ respectent la relation suivante :

$$(2k+1)n + 1 = p 2^{\ell},$$

où p est le facteur d'accélération souhaité.

L'invention prévoit également un circuit d'accélération d'un flux de bits initial généré à une première fréquence
35

relativement basse, en un flux de bit identique accéléré à une deuxième fréquence relativement élevée, comportant un combineur dont une première entrée reçoit le flux de bits initial et dont une sortie fournit le flux accéléré, une deuxième entrée du combineur étant reliée par un élément retardateur à la sortie du combineur.

Selon un mode de réalisation de la présente invention, un élément de remise en forme à la fréquence élevée est prévu en sortie du combineur.

10 Selon un mode de réalisation de la présente invention, un élément déphaseur est en outre prévu entre le générateur de la séquence pseudo aléatoire d'origine et le combineur.

Selon un mode de réalisation de la présente invention, le flux de bits initial est obtenu par un générateur à bascules.

15 Selon un mode de réalisation de la présente invention, le circuit est réalisé par des moyens optiques et/ou électroniques.

Selon un mode de réalisation de la présente invention, le retard appliqué par ledit élément retardateur est choisi par la mise en oeuvre du procédé de l'une quelconque des revendications 2 à 4.

Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

les figures 1 à 3 qui ont été décrites précédemment sont destinées à exposer l'état de la technique et le problème posé ;

30 la figure 4 représente, de façon très schématique et sous forme de blocs, un mode de réalisation d'un dispositif d'accroissement de débit d'un flux aléatoire selon la présente invention ;

la figure 5 illustre le fonctionnement d'un dispositif d'augmentation de débit selon l'invention ; et

la figure 6 illustre, de façon très schématique et sous forme de blocs, un mode de réalisation d'un générateur haut débit selon l'invention.

Les mêmes éléments ont été désignés par les mêmes
5 références aux différentes figures. Pour des raisons de clarté, seuls les éléments qui sont nécessaires à la compréhension de l'invention ont été représentés aux figures et seront décrits par la suite. En particulier, la réalisation pratique des circuits électroniques exploités par l'invention n'a pas été détaillée
10 quand il s'agit de mettre en oeuvre des dispositifs en eux-mêmes connus. De plus, l'invention sera décrite par la suite en relation avec une application à des dispositifs électroniques mais elle s'applique également à des dispositifs optiques, électro-optiques, ou optoélectroniques.

15 Une caractéristique de la présente invention est de générer un flux de bits pseudo aléatoire à une première fréquence d'horloge inférieure à la fréquence d'horloge souhaitée, et de combiner ce flux initial avec le flux de sortie retardé d'une quantité choisie, pour obtenir en sortie un flux à la
20 fréquence plus élevée.

De préférence, le retard choisi pour recombinaison le flux de bits de sortie avec le flux de bits généré à bas débit est choisi pour correspondre à la longueur totale de la séquence visée $(2^n - 1)$ multipliée par la période de l'horloge à haut débit
25 et par un entier impair quelconque. En d'autres termes, en notant τ le retard apporté par la ligne retardant le flux de bits sortant avant combinaison avec le flux de bits entrant, n le degré du polynôme irréductible correspondant à la séquence aléatoire visée, T_0 la période de l'horloge à haut débit et T_1
30 la période de l'horloge du bas débit entrant, le retard τ est choisi pour respecter la formule suivante :

$$\tau = (2k+1) * (2^n - 1) * T_0$$
, où k représente un entier quelconque, et où $(2^n - 1)$ correspond au nombre de bits de la séquence aléatoire.

La figure 4 illustre, de façon très schématique et sous forme de blocs, un mode de réalisation d'un circuit accélérateur selon l'invention. Un tel circuit exploite en entrée un flux de bits aléatoire PRBS(T_1) à une première fréquence relativement basse, et est chargé de fournir un flux de bits pseudo aléatoire PRBS(T_0) à une fréquence relativement élevée. On désignera par la suite par p , le facteur d'accélération ($p = T_1/T_0$). Un combineur 40 (COMB) reçoit en entrée le flux basse fréquence et le flux de bits de sortie après qu'il ait traversé une ligne à retard 41 de valeur τ .

La présente invention tire profit du fait qu'il est possible de générer un flux à un débit relativement bas et de combiner ce flux avec le même flux retardé d'une période adéquate pour obtenir un train de bits pseudo aléatoire de débit plus élevé. Ainsi, il est possible d'utiliser un générateur de débit inférieur, donc moins onéreux, pour obtenir le flux PRBS(T_1) initial.

Le seul élément qui selon l'invention doit fonctionner à haut débit est le combineur 40 (et les éléments en aval éventuels).

L'invention peut être mise en oeuvre par un circuit en portes logiques à la condition que le rapport cyclique des impulsions du train de bits d'entrée soit choisi de sorte que la durée d'un état haut soit inférieure ou égale à la durée d'un bit du flux de sortie, c'est-à-dire à la période T_0 . En fait, si cette durée d'état haut est inférieure à la condition pré-citée, on peut générer une sortie de type RZ, c'est-à-dire avec retour à zéro. Si la durée (largeur) d'état haut est égale au temps de bit final, la sortie est de type NRZ, c'est-à-dire sans retour à zéro.

La figure 5 illustre le fonctionnement d'un accélérateur selon l'invention. Cette figure représente, sous forme de chronogrammes, un flux de bits initial 51 et un flux de bits final 52 après application du procédé d'accélération de l'invention. On suppose ici un flux initial A, B, C, D, E, F, et

G de longueur $2^{n-1} = 7$ bits et de polynôme irréductible $x^3 + x + 1$ de degré $n = 3$. Le retard apporté par la ligne 41 est choisi pour correspondre à $2^\ell T_1 - T_0$ avec $\ell = 2$.

Le paramètre ℓ est lié au facteur d'accélération (p) par la relation suivante :

$(2k+1)n + 1 = p2^\ell$, et fixe le paramètre de décimation (2^ℓ) choisi. On pourra se référer à l'ouvrage de Robert J. Mc Eliece déjà mentionné pour le choix de ce paramètre.

On voit qu'à l'issue d'une durée correspondante au retard τ , le flux de bits aléatoire 52 présent en sortie de l'accélérateur correspond à un flux de fréquence double par rapport à la fréquence du flux initial 51.

De plus, le flux est identique, c'est-à-dire que la séquence de sortie est égale à la séquence d'entrée. Par exemple, en supposant que la séquence d'entrée <ABCDEFG> est égale à <1110100>, on voit que la séquence de sortie <AEBFCGD> est bien égale à <1110100>.

L'exemple de la figure 5 a été pris de façon simplifiée pour un doublement de fréquence. On notera toutefois que le nombre p peut être choisi pour donner un flux de bits d'un multiple de période supérieur à deux par rapport au flux initial. La seule condition à respecter est que le retard τ corresponde à un multiple entier de la période T_0 , c'est-à-dire à une valeur $2^\ell T_1 - T_0$, pour obtenir une séquence de sortie identique à celle d'entrée (au débit près), et dont les impulsions à l'état haut sont de durée inférieure ou égale à T_0 .

La figure 6 illustre un mode de réalisation d'un accélérateur selon l'invention, associé à un générateur de flux pseudo aléatoire.

Le générateur 60 est un générateur d'impulsions modulées à un débit relativement bas commandé par un signal d'horloge de fréquence f_1 . La sortie de ce générateur est envoyée sur une entrée E2 d'un combineur 40 (COMB) dont l'autre entrée reçoit la sortie de la ligne en retard 41 apportant un retard τ à un signal qu'elle prélève sur le flux PRBS(T_0) de sortie. Ce flux

PRBS(T_0) peut être fourni en pratique par un circuit 42 de régénération (REGEN) chargé de mettre en forme, à la fréquence $f_0 > f_1$, la sortie du combineur 40. Bien entendu, les fréquences f_1 et f_0 sont synchronisées (par exemple, au moyen d'un circuit 5 61 (SYNCH)).

Selon un autre mode de réalisation, on utilise un multiplexeur à deux entrées en guise de combineur (40). Le signal d'entrée à bas débit PRBS(T_1) est alors appliqué sur l'entrée de sélection du multiplexeur tandis que ses deux 10 entrées de données reçoivent respectivement la sortie de la ligne à retard (41) et un niveau haut constant.

On notera qu'à la différence des techniques classiques ETDM ou OTDM qui utilisent des répliques retardées d'un signal d'entrée, l'invention réalise une boucle à recirculation dans 15 laquelle le retard est appliqué à un signal prélevé en sortie.

En pratique, les entrées E1 et E2 du combineur doivent recevoir des signaux en phase. Par exemple, on prévoit un élément de type déphaseur (de préférence, ajustable) entre le générateur 60 (ou intégré à ce dernier) et le combineur 40 pour 20 mettre en phase les signaux appliqués aux entrées E1 et E2.

La description qui précède a été faite en relation avec une réalisation au moyen de circuits électroniques. On notera toutefois qu'une réalisation complètement ou partiellement optique de l'invention est possible. Par exemple, on peut 25 utiliser une source optique de quelques gigabits/s, voire quelques dizaine de gigabits/s, que l'on soumet à un accélérateur selon l'invention. Un tel accélérateur peut être obtenu en séparant le flux de bits initial par un séparateur, l'une des voix étant affectée d'un retard choisi comme pour la version électronique.

Bien entendu, la présente invention est susceptible de 30 diverses variantes et modifications qui apparaîtront à l'homme de l'art. En particulier, la réalisation pratique d'une ligne à retard pour la mise en oeuvre de l'invention, que ce soit par des technologies électroniques ou optiques, est à la portée de 35 l'homme du métier à partir des indications fonctionnelles données

ci-dessus. Par exemple, on pourra faire appel à des techniques optiques et/ou électriques au sein du circuit accélérateur (modulateur optique commandé électriquement, photodiode associée à un laser, etc.). De plus, l'exploitation des flux à haut débit
5 générés par l'invention est compatible avec toutes les applications classiques.

REVENDEICATIONS

1. Procédé d'accélération d'un flux de bits d'entrée pseudo aléatoire (PRBS(T_1)), généré à une première fréquence d'horloge (f_1) relativement basse, en un flux de bits de sortie identique (PRBS(T_0)) à une deuxième fréquence d'horloge (f_0) relativement élevée, caractérisé en ce qu'il consiste :
 - à prélever le flux de bits de sortie ;
 - à retarder le flux prélevé d'une valeur (τ) prédéterminée ; et
 - à combiner le flux retardé avec le flux de bits d'entrée.
2. Procédé selon la revendication 1, dans lequel le retard τ est choisi pour respecter la relation suivante :

$$\tau = 2^{\ell} T_1 - T_0,$$
 où T_1 représente la période d'horloge du flux de bits d'entrée, où T_0 représente la période de l'horloge du flux de bit de sortie, et où ℓ est un nombre entier fixant un paramètre de décimation.
3. Procédé selon la revendication 1 ou 2, dans lequel le retard τ est choisi pour respecter la relation suivante :

$$\tau = (2k+1) \cdot (2^n - 1) \cdot T_0,$$
 où k représente un entier quelconque, et où n représente le degré du polynôme irréductible de la séquence aléatoire.
4. Procédé selon les revendications 2 et 3, dans lequel les nombres k et ℓ respectent la relation suivante :

$$(2k+1)n + 1 = p2^{\ell},$$
 où p est le facteur d'accélération souhaité.
5. Circuit d'accélération d'un flux de bits initial (PRBS(T_1)) généré à une première fréquence (f_1) relativement basse, en un flux de bit identique (PRBS(T_0)) accéléré à une deuxième fréquence (f_0) relativement élevée, caractérisé en ce qu'il comporte un combineur (40) dont une première entrée reçoit le flux de bits initial et dont une sortie fournit le flux accéléré, une deuxième entrée du combineur étant reliée par un élément retardateur (41) à la sortie du combineur.

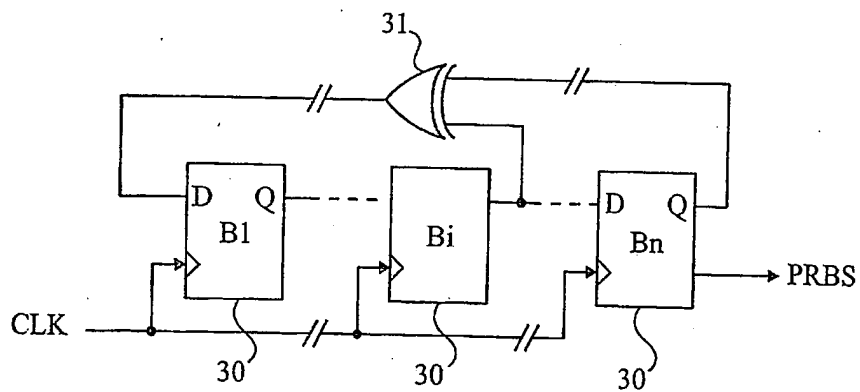
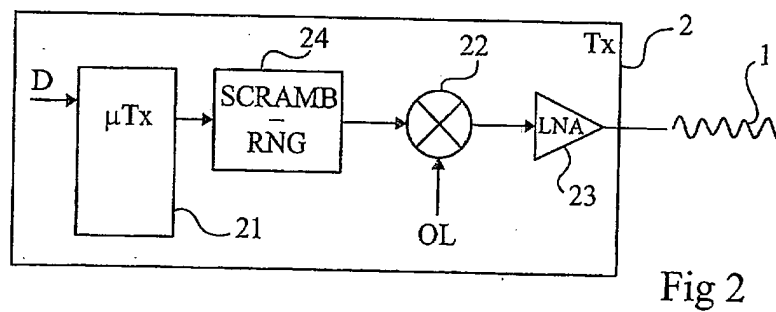
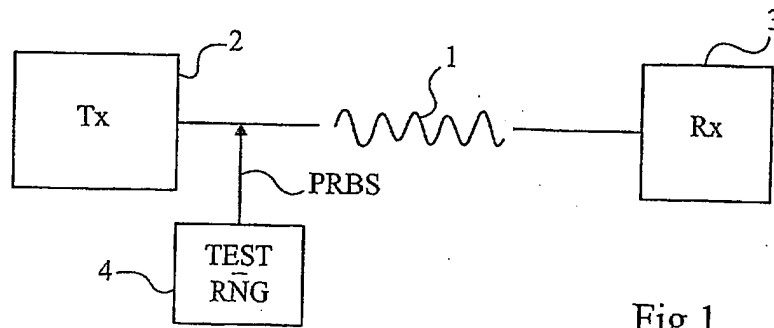
6. Circuit selon la revendication 5, dans lequel un élément (42) de remise en forme à la fréquence élevée est prévu en sortie du combineur.

5 7. Circuit selon la revendication 5 ou 6, dans lequel un élément déphaseur est en outre prévu entre le générateur de la séquence pseudo aléatoire d'origine et le combineur (42).

8. Circuit selon l'une quelconque des revendications 5 à 7, dans lequel le flux de bits initial est obtenu par un générateur à bascules.

10 9. Circuit selon l'une quelconque des revendications 5 à 7, réalisé par des moyens optiques et/ou électroniques.

10. Circuit selon l'une quelconque des revendications 5 à 9, dans lequel le retard appliqué par ledit élément retardeur (41) est choisi par la mise en oeuvre du procédé de l'une
15 quelconque des revendications 2 à 4.



2/2

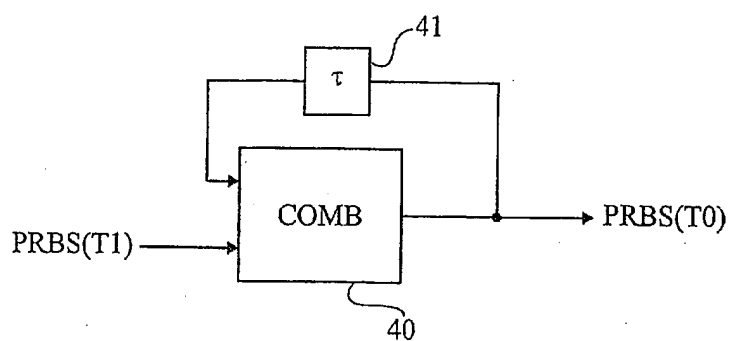


Fig 4

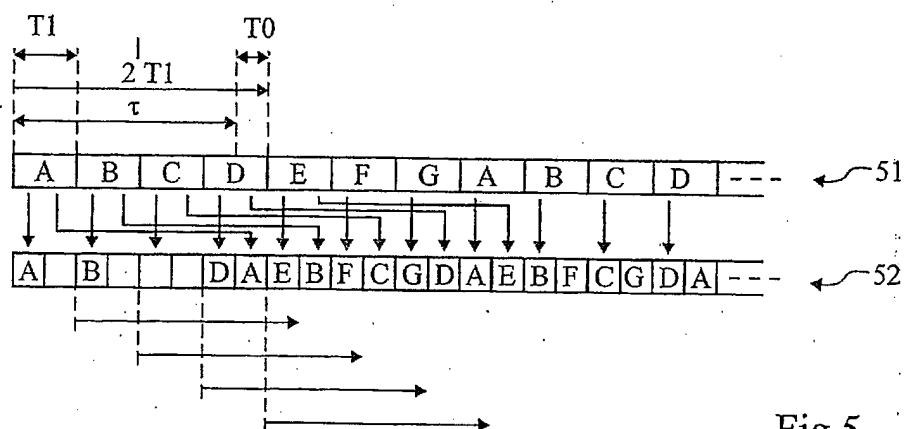


Fig 5

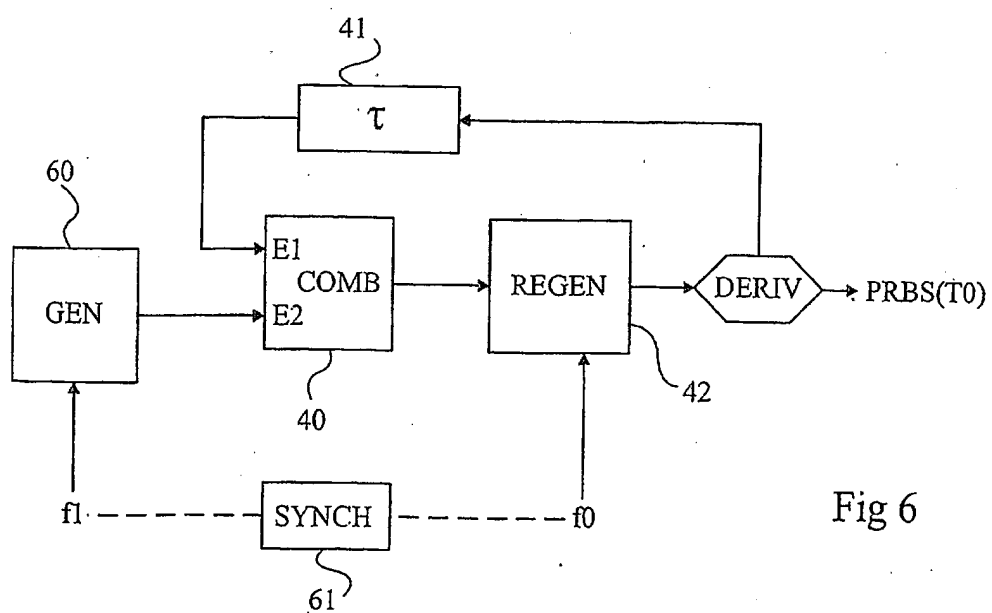


Fig 6

**BREVET D'INVENTION
CERTIFICAT D'UTILITE****Désignation de l'inventeur**

Vos références pour ce dossier	B6364
N°D'ENREGISTREMENT NATIONAL	
TITRE DE L'INVENTION	
LE(S) DEMANDEUR(S) OU LE(S) MANDATAIRE(S):	GENERATION D'UN FLUX DE BITS ALEATOIRE A HAUT DEBIT
DESIGNE(NT) EN TANT QU'INVENTEUR(S):	
Inventeur 1	
Nom	AUBIN
Prénoms	GUY GEORGES
Rue	ESCALIER 3, 40, RUE JEAN REY
Code postal et ville	78220 VIROFLAY
Société d'appartenance	

La loi n°78-17 du 6 janvier 1978 relative à l'informatique aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire.
Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

Signé par

Signataire: FR, Cabinet Michel de Beaumont, M.De Beaumont
Emetteur du certificat: DE, D-Trust GmbH, D-Trust for EPO 2.0

Fonction

Mandataire agréé (Mandataire 1)

PCT/FR2005/050058



10/587366

R E P U B L I Q U E F R A N Ç A I S E

PCT/FR 2005/050058



REC'D 12 APR 2005

WIPO

PCT

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 03 MARS 2005

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

DOCUMENT DE PRIORITÉ

PRÉSENTÉ OU TRANSMIS
CONFORMÉMENT À LA
RÈGLE 17.1.a) OU b)

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint-Petersbourg
75800 PARIS cedex 08
Téléphone : 33 (0)1 53 04 53 04
Télécopie : 33 (0)1 53 04 45 23
www.inpi.fr



BREVET D'INVENTION CERTIFICAT D'UTILITÉ

26bis, rue de Saint-Petersbourg
75800 Paris Cédex 08
Téléphone: 01 53.04.53.04 Télécopie: 01.42.94.86.54

Code de la propriété intellectuelle-livre VI

REQUÊTE EN DÉLIVRANCE

DATE DE REMISE DES PIÈCES: N° D'ENREGISTREMENT NATIONAL: DÉPARTEMENT DE DÉPÔT: DATE DE DÉPÔT:	Michel DE BEAUMONT CABINET MICHEL DE BEAUMONT 1, rue Champollion 38000 GRENOBLE France
Vos références pour ce dossier: B6364	

1 NATURE DE LA DEMANDE			
Demande de brevet			
2 TITRE DE L'INVENTION			
		GENERATION D'UN FLUX DE BITS ALEATOIRE A HAUT DEBIT	
3 DECLARATION DE PRIORITE OU REQUETE DU BENEFICE DE LA DATE DE DEPOT D'UNE DEMANDE ANTERIEURE FRANCAISE		Pays ou organisation	Date N°
4-1 DEMANDEUR			
Nom	CENTRE NATIONAL DE LA RECHERCHE SCIENTIFIQUE		
Rue	3, RUE MICHEL ANGE		
Code postal et ville	75794 PARIS CEDEX 16		
Pays	France		
Nationalité	France		
Forme juridique	Etablissement public		
5A MANDATAIRE			
Nom	DE BEAUMONT		
Prénom	Michel		
Qualité	CPI: 92-1016, Pas de pouvoir		
Cabinet ou Société	CABINET MICHEL DE BEAUMONT		
Rue	1, rue Champollion		
Code postal et ville	38000 GRENOBLE		
N° de téléphone	0476518451		
N° de télécopie	0476446254		
Courrier électronique	cab.beaumont@wanadoo.fr		
6 DOCUMENTS ET FICHIERS JOINTS		Fichier électronique	Pages Détails
Texte du brevet		textebrevet.pdf	13 D 10, R 2, AB 1
Dessins		dessins.pdf	2 page 2, figures 6, Abrégé: page 2, Fig.4
Désignation d'inventeurs			

7 MODE DE PAIEMENT				
Mode de paiement		Prélèvement du compte courant		
Numéro du compte client		665		
8 RAPPORT DE RECHERCHE				
Etablissement immédiat				
9 REDEVANCES JOINTES				
	Devise	Taux	Quantité	Montant à payer
062 Dépôt	EURO	0.00	1.00	0.00
063 Rapport de recherche (R.R.)	EURO	320.00	1.00	320.00
Total à acquitter	EURO			320.00

La loi n°78-17 du 6 janvier 1978 relative à l'informatique aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire.
Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

Signé par

Signataire: FR, Cabinet Michel de Beaumont, M.De Beaumont

Emetteur du certificat: DE, D-Trust GmbH, D-Trust for EPO 2.0

Fonction

Mandataire agréé (Mandataire 1)

1er dépôt

R E P U B L I Q U E F R A N C A I S E



BREVET D'INVENTION CERTIFICAT D'UTILITE

Réception électronique d'une soumission

Il est certifié par la présente qu'une demande de brevet (ou de certificat d'utilité) a été reçue par le biais du dépôt électronique sécurisé de l'INPI. Après réception, un numéro d'enregistrement et une date de réception ont été attribués automatiquement.

Demande de brevet : X

Demande de CU :

DATE DE RECEPTION	30 janvier 2004	Dépôt en ligne: X Dépôt sur support CD:
TYPE DE DEPOT	INPI (PARIS) - Dépôt électronique	
N° D'ENREGISTREMENT NATIONAL ATTRIBUE PAR L'INPI	0450170	
Vos références pour ce dossier	B6364	

DEMANDEUR

Nom ou dénomination sociale	CENTRE NATIONAL DE LA RECHERCHE SCIENTIFIQUE
Nombre de demandeur(s)	1
Pays	FR

TITRE DE L'INVENTION

GENERATION D'UN FLUX DE BITS ALEATOIRE A HAUT DEBIT

DOCUMENTS ENVOYES

package-data.xml	Requetefr.PDF	fee-sheet.xml
Design.PDF	ValidLog.PDF	textebrevet.pdf
FR-office-specific-info.xml	application-body.xml	request.xml
dessins.pdf	indication-bio-deposit.xml	

EFFECTUE PAR

Effectué par:	M.De Beaumont
Date et heure de réception électronique:	30 janvier 2004 11:53:24
Empreinte officielle du dépôt	E5:F7:DE:7E:01:61:D9:F8:98:47:F7:00:97:CB:8A:23:56:99:7C:D7

/ INPI PARIS, Section Dépôt /

SIEGE SOCIAL
INSTITUT 26 bis, rue de Saint Petersburg
NATIONAL DE 75800 PARIS cedex 08
LA PROPRIETE Téléphone : 01 53 04 53 04
INDUSTRIELLE Télécopie : 01 42 93 59 30

ETABLISSEMENT PUBLIC NATIONAL CREE PAR LA LOI No 51-444 DU 19 AVRIL 1951

GÉNÉRATION D'UN FLUX DE BITS ALÉATOIRE À HAUT DÉBIT

La présente invention concerne la génération aléatoire d'un flux de bits. L'invention concerne plus particulièrement la génération d'un flux à haut débit (supérieur à 10 gigabits/s) et s'applique plus particulièrement aux transmissions à haut débit sur des liaisons ou réseaux de communication quelconques.

La figure 1 illustre, de façon très schématique et sous forme de blocs, un premier exemple d'application de la présente invention. Il s'agit d'un test d'une liaison 1 de communication entre un émetteur 2 (Tx) et un récepteur 3 (Rx). La liaison peut être une liaison électrique, optique ou aérienne. Les normes de communication prévoient des tests normalisés de simulation de trafic sur les liaisons. Ces tests s'effectuent au moyen d'un appareil 4 (TEST-RNG) spécifique, raccordé à la place de l'émetteur 2. Cet appareil de test émet une séquence pseudo aléatoire PRBS sur la ligne de transmission. Cette séquence est généralement de très haut débit. Dans l'application au test, on peut également tester directement un dispositif (par exemple, le récepteur ou un récupérateur d'horloge de la liaison) électrique, optique, hertzien, opto-électrique ou électro-optique.

La figure 2 illustre, par une vue très schématique et sous forme de blocs, un deuxième exemple d'application de l'invention. Il s'agit de brouiller ou coder une transmission,

ou de moyenner les caractéristiques des signaux afin de masquer les données émises ou d'équilibrer le trafic sur une liaison.

La figure 2 représente un émetteur 2 (Tx) connecté à une liaison 1. L'émetteur 2 comprend un circuit numérique 21 (5 μ Tx) de traitement de données D en vue de leur émission après modulation éventuelle (modulateur 22) sur une porteuse OL provenant d'un oscillateur local, et passage dans un amplificateur d'émission 23 (LNA). Un brouilleur ou codeur 24 est prévu en sortie du circuit 21 avant modulation par l'élément 22. Ce
10 brouilleur (SCRAMB-RNG) a pour objet de modifier, à l'aide d'une séquence pseudo aléatoire, les caractéristiques des données émises.

L'invention s'applique également dans le cas d'une transmission optique. Par exemple, un brouilleur peut être
15 intercalé en amont de la conversion électro-optique, l'oscillateur local étant une source lumineuse, par exemple, un laser.

Des générateurs pseudo aléatoires sont également utilisés dans des applications de code correcteur d'erreurs, de transmissions de type "accès multiple par répartition de code"
20 (CDMA), de cryptographie, etc.

La figure 3 représente un exemple classique de générateur d'une séquence pseudo aléatoire (PRBS) du type de ceux utilisés dans les applications précitées. Un tel générateur est basé sur l'utilisation de registres à décalage bouclés sur eux-mêmes. Plusieurs bascules 30 (B1, Bi, Bn) sont associées en série, c'est-à-dire que la sortie Q de la bascule B1 est reliée à l'entrée de donnée D de la deuxième bascule et ainsi de suite jusqu'à ce que la sortie Q de l'avant dernière bascule soit reliée à l'entrée D de la nième bascules. La sortie de la
25 dernière bascule Bn est rebouclée, par l'intermédiaire d'une porte de type OU-Exclusif 31, sur l'entrée D de la première bascule. La deuxième entrée de la porte 31 est reliée en sortie d'une bascule intermédiaire Bi de l'association en série.

Le nombre de bascules dépend de la puissance souhaitée
35 pour la séquence pseudo aléatoire, c'est-à-dire le nombre de

bits sur lequel la probabilité d'obtenir un 0 ou un 1 est respectée. Plus la séquence est longue, donc plus le nombre n de bascules est important, meilleur est l'aléa de la séquence PRBS générée. En fait, la longueur de la séquence est égale à $2^n - 1$.

5 Par exemple, en utilisant 7 bascules, on obtient une séquence de 127 bits.

Le choix de la position de la bascule intermédiaire B_i dans l'association en série est lié à l'obtention d'un polynôme irréductible de degré n et dépend donc du nombre d'étages. Les
10 séquences de bits générées sont généralement dénommées "m-Sequences" et respectent une récurrence linéaire dont la caractéristique polynomiale est primitive. De telles séquences sont par exemple décrites dans l'ouvrage "Finite Fields For Computer Scientists And Engineers" de Robert J. Mc Eliece publié chez Kluwer Academic
15 Publishers en 1995.

Un inconvénient des générateurs de signaux électriques PRBS actuels est lié aux applications haut débit, c'est-à-dire de plusieurs dizaines de gigabits/s. La réalisation de circuits logiques et notamment de bascules rapides requiert des technolo-
20 gies particulièrement coûteuses. En pratique, au delà de 10 à 20 gigabits/s, on doit utiliser des multiplexeurs pour mélanger des signaux déphasés entre eux selon une technique ETDM (Electrical Time Division Multiplexing), dont le nombre d'entrées (donc la complexité) est lié au facteur d'accélération souhaité. Cette
25 solution requiert en outre de générer, en parallèle, tous les signaux déphasés.

Dans une réalisation optique, il n'existe aujourd'hui pas d'équipement permettant d'atteindre des débits supérieurs à 48 gigabits par seconde, sauf à avoir recours à des
30 multiplexeurs de type OTDM (Optical Time Division Multiplexing) dont le nombre est lié au facteur d'accélération souhaité.

La présente invention vise à proposer une nouvelle technique de génération de trains de bits aléatoires qui permette d'atteindre des débits élevés. Selon un premier aspect,
35 l'invention vise à réduire le nombre d'éléments électroniques

utilisés pour la génération du flux. L'invention vise notamment à permettre une réduction du nombre de composants rapides d'un générateur à registres à décalage, ou le recours à un simple multiplexeur à deux entrées.

5 L'invention vise également à proposer une solution qui soit compatible avec une génération électronique et/ou optique.

Pour atteindre ces objets ainsi que d'autres, l'invention prévoit un procédé d'accélération d'un flux de bits d'entrée pseudo aléatoire, généré à une première fréquence d'horloge
10 relativement basse, en un flux de bits de sortie identique à une deuxième fréquence d'horloge relativement élevée, consistant :

à prélever le flux de bits de sortie ;

à retarder le flux prélevé d'une valeur (τ) prédéterminée ; et

15 à combiner le flux retardé avec le flux de bits d'entrée.

Selon un mode de mise en oeuvre de la présente invention, le retard τ est choisi pour respecter la relation suivante :

20
$$\tau = 2^{\ell} T_1 - T_0,$$

où T_1 représente la période d'horloge du flux de bits d'entrée, où T_0 représente la période de l'horloge du flux de bits de sortie, et où ℓ est un nombre entier fixant un paramètre de décimation.

25 Selon un mode de mise en oeuvre de la présente invention, le retard τ est choisi pour respecter la relation suivante :

$$\tau = (2k+1) * (2^n - 1) * T_0,$$

où k représente un entier quelconque, et où n représente le degré du polynôme irréductible de la séquence aléatoire.

30 Selon un mode de mise en oeuvre de la présente invention, les nombres k et ℓ respectent la relation suivante :

$$(2k+1)n + 1 = p2^{\ell},$$

où p est le facteur d'accélération souhaité.

L'invention prévoit également un circuit d'accélération d'un flux de bits initial généré à une première fréquence
35

relativement basse, en un flux de bit identique accéléré à une deuxième fréquence relativement élevée, comportant un combineur dont une première entrée reçoit le flux de bits initial et dont une sortie fournit le flux accéléré, une deuxième entrée du combineur étant reliée par un élément retardateur à la sortie du combineur.

Selon un mode de réalisation de la présente invention, un élément de remise en forme à la fréquence élevée est prévu en sortie du combineur.

10 Selon un mode de réalisation de la présente invention, un élément déphaseur est en outre prévu entre le générateur de la séquence pseudo aléatoire d'origine et le combineur.

Selon un mode de réalisation de la présente invention, le flux de bits initial est obtenu par un générateur à bascules.

15 Selon un mode de réalisation de la présente invention, le circuit est réalisé par des moyens optiques et/ou électroniques.

Selon un mode de réalisation de la présente invention, le retard appliqué par ledit élément retardateur est choisi par la mise en oeuvre du procédé de l'une quelconque des revendications 2 à 4.

20 Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

les figures 1 à 3 qui ont été décrites précédemment sont destinées à exposer l'état de la technique et le problème posé ;

30 la figure 4 représente, de façon très schématique et sous forme de blocs, un mode de réalisation d'un dispositif d'accroissement de débit d'un flux aléatoire selon la présente invention ;

la figure 5 illustre le fonctionnement d'un dispositif d'augmentation de débit selon l'invention ; et

la figure 6 illustre, de façon très schématique et sous forme de blocs, un mode de réalisation d'un générateur haut débit selon l'invention.

Les mêmes éléments ont été désignés par les mêmes
5 références aux différentes figures. Pour des raisons de clarté, seuls les éléments qui sont nécessaires à la compréhension de l'invention ont été représentés aux figures et seront décrits par la suite. En particulier, la réalisation pratique des circuits électroniques exploités par l'invention n'a pas été détaillée
10 quand il s'agit de mettre en oeuvre des dispositifs en eux-mêmes connus. De plus, l'invention sera décrite par la suite en relation avec une application à des dispositifs électroniques mais elle s'applique également à des dispositifs optiques, électro-optiques, ou optoélectroniques.

15 Une caractéristique de la présente invention est de générer un flux de bits pseudo aléatoire à une première fréquence d'horloge inférieure à la fréquence d'horloge souhaitée, et de combiner ce flux initial avec le flux de sortie retardé d'une quantité choisie, pour obtenir en sortie un flux à la
20 fréquence plus élevée.

De préférence, le retard choisi pour recombinaison le flux de bits de sortie avec le flux de bits généré à bas débit est choisi pour correspondre à la longueur totale de la séquence visée $(2^n - 1)$ multipliée par la période de l'horloge à haut débit
25 et par un entier impair quelconque. En d'autres termes, en notant τ le retard apporté par la ligne retardant le flux de bits sortant avant combinaison avec le flux de bits entrant, n le degré du polynôme irréductible correspondant à la séquence aléatoire visée, T_0 la période de l'horloge à haut débit et T_1
30 la période de l'horloge du bas débit entrant, le retard τ est choisi pour respecter la formule suivante :

$$\tau = (2k+1) * (2^n - 1) * T_0$$
, où k représente un entier quelconque, et où $(2^n - 1)$ correspond au nombre de bits de la séquence aléatoire.

La figure 4 illustre, de façon très schématique et sous forme de blocs, un mode de réalisation d'un circuit accélérateur selon l'invention. Un tel circuit exploite en entrée un flux de bits aléatoire PRBS(T_1) à une première fréquence relativement basse, et est chargé de fournir un flux de bits pseudo aléatoire PRBS(T_0) à une fréquence relativement élevée. On désignera par la suite par p , le facteur d'accélération ($p = T_1/T_0$). Un combineur 40 (COMB) reçoit en entrée le flux basse fréquence et le flux de bits de sortie après qu'il ait traversé une ligne à retard 41 de valeur τ .

La présente invention tire profit du fait qu'il est possible de générer un flux à un débit relativement bas et de combiner ce flux avec le même flux retardé d'une période adéquate pour obtenir un train de bits pseudo aléatoire de débit plus élevé. Ainsi, il est possible d'utiliser un générateur de débit inférieur, donc moins onéreux, pour obtenir le flux PRBS(T_1) initial.

Le seul élément qui selon l'invention doit fonctionner à haut débit est le combineur 40 (et les éléments en aval éventuels).

L'invention peut être mise en oeuvre par un circuit en portes logiques à la condition que le rapport cyclique des impulsions du train de bits d'entrée soit choisi de sorte que la durée d'un état haut soit inférieure ou égale à la durée d'un bit du flux de sortie, c'est-à-dire à la période T_0 . En fait, si cette durée d'état haut est inférieure à la condition pré-citée, on peut générer une sortie de type RZ, c'est-à-dire avec retour à zéro. Si la durée (largeur) d'état haut est égale au temps de bit final, la sortie est de type NRZ, c'est-à-dire sans retour à zéro.

La figure 5 illustre le fonctionnement d'un accélérateur selon l'invention. Cette figure représente, sous forme de chronogrammes, un flux de bits initial 51 et un flux de bits final 52 après application du procédé d'accélération de l'invention. On suppose ici un flux initial A, B, C, D, E, F, et

G de longueur $2^n - 1 = 7$ bits et de polynôme irréductible $x^3 + x + 1$ de degré $n = 3$. Le retard apporté par la ligne 41 est choisi pour correspondre à $2^\ell T_1 - T_0$ avec $\ell = 2$.

Le paramètre ℓ est lié au facteur d'accélération (p) par la relation suivante :

$(2k+1)n + 1 = p2^\ell$, et fixe le paramètre de décimation (2^ℓ) choisi. On pourra se référer à l'ouvrage de Robert J. Mc Eliece déjà mentionné pour le choix de ce paramètre.

On voit qu'à l'issue d'une durée correspondante au retard τ , le flux de bits aléatoire 52 présent en sortie de l'accélérateur correspond à un flux de fréquence double par rapport à la fréquence du flux initial 51.

De plus, le flux est identique, c'est-à-dire que la séquence de sortie est égale à la séquence d'entrée. Par exemple, en supposant que la séquence d'entrée <ABCDEFG> est égale à <1110100>, on voit que la séquence de sortie <AEBFCGD> est bien égale à <1110100>.

L'exemple de la figure 5 a été pris de façon simplifiée pour un doublement de fréquence. On notera toutefois que le nombre p peut être choisi pour donner un flux de bits d'un multiple de période supérieur à deux par rapport au flux initial. La seule condition à respecter est que le retard τ corresponde à un multiple entier de la période T_0 , c'est-à-dire à une valeur $2^\ell T_1 - T_0$, pour obtenir une séquence de sortie identique à celle d'entrée (au débit près), et dont les impulsions à l'état haut sont de durée inférieure ou égale à T_0 .

La figure 6 illustre un mode de réalisation d'un accélérateur selon l'invention, associé à un générateur de flux pseudo aléatoire.

Le générateur 60 est un générateur d'impulsions modulées à un débit relativement bas commandé par un signal d'horloge de fréquence f_1 . La sortie de ce générateur est envoyée sur une entrée E2 d'un combineur 40 (COMB) dont l'autre entrée reçoit la sortie de la ligne en retard 41 apportant un retard τ à un signal qu'elle prélève sur le flux PRBS(T_0) de sortie. Ce flux

PRBS(T_0) peut être fourni en pratique par un circuit 42 de régénération (REGEN) chargé de mettre en forme, à la fréquence $f_0 > f_1$, la sortie du combineur 40. Bien entendu, les fréquences f_1 et f_0 sont synchronisées (par exemple, au moyen d'un circuit 61 (SYNCH)).

Selon un autre mode de réalisation, on utilise un multiplexeur à deux entrées en guise de combineur (40). Le signal d'entrée à bas débit PRBS(T_1) est alors appliqué sur l'entrée de sélection du multiplexeur tandis que ses deux entrées de données reçoivent respectivement la sortie de la ligne à retard (41) et un niveau haut constant.

On notera qu'à la différence des techniques classiques ETDM ou OTDM qui utilisent des répliques retardées d'un signal d'entrée, l'invention réalise une boucle à recirculation dans laquelle le retard est appliqué à un signal prélevé en sortie.

En pratique, les entrées E1 et E2 du combineur doivent recevoir des signaux en phase. Par exemple, on prévoit un élément de type déphaseur (de préférence, ajustable) entre le générateur 60 (ou intégré à ce dernier) et le combineur 40 pour mettre en phase les signaux appliqués aux entrées E1 et E2.

La description qui précède a été faite en relation avec une réalisation au moyen de circuits électroniques. On notera toutefois qu'une réalisation complètement ou partiellement optique de l'invention est possible. Par exemple, on peut utiliser une source optique de quelques gigabits/s, voire quelques dizaine de gigabits/s, que l'on soumet à un accélérateur selon l'invention. Un tel accélérateur peut être obtenu en séparant le flux de bits initial par un séparateur, l'une des voix étant affectée d'un retard choisi comme pour la version électronique.

Bien entendu, la présente invention est susceptible de diverses variantes et modifications qui apparaîtront à l'homme de l'art. En particulier, la réalisation pratique d'une ligne à retard pour la mise en oeuvre de l'invention, que ce soit par des technologies électroniques ou optiques, est à la portée de l'homme du métier à partir des indications fonctionnelles données

ci-dessus. Par exemple, on pourra faire appel à des techniques optiques et/ou électriques au sein du circuit accélérateur (modulateur optique commandé électriquement, photodiode associée à un laser, etc.). De plus, l'exploitation des flux à haut débit
5 générés par l'invention est compatible avec toutes les applications classiques.

REVENDEICATIONS

1. Procédé d'accélération d'un flux de bits d'entrée pseudo aléatoire (PRBS(T_1)), généré à une première fréquence d'horloge (f_1) relativement basse, en un flux de bits de sortie identique (PRBS(T_0)) à une deuxième fréquence d'horloge (f_0) relativement élevée, caractérisé en ce qu'il consiste :
 - à prélever le flux de bits de sortie ;
 - à retarder le flux prélevé d'une valeur (τ) prédéterminée ; et
 - à combiner le flux retardé avec le flux de bits d'entrée.
2. Procédé selon la revendication 1, dans lequel le retard τ est choisi pour respecter la relation suivante :

$$\tau = 2^{\ell} T_1 - T_0,$$
 où T_1 représente la période d'horloge du flux de bits d'entrée, où T_0 représente la période de l'horloge du flux de bit de sortie, et où ℓ est un nombre entier fixant un paramètre de décimation.
3. Procédé selon la revendication 1 ou 2, dans lequel le retard τ est choisi pour respecter la relation suivante :

$$\tau = (2k+1) * (2^n - 1) * T_0,$$
 où k représente un entier quelconque, et où n représente le degré du polynôme irréductible de la séquence aléatoire.
4. Procédé selon les revendications 2 et 3, dans lequel les nombres k et ℓ respectent la relation suivante :

$$(2k+1)n + 1 = p2^{\ell},$$
 où p est le facteur d'accélération souhaité.
5. Circuit d'accélération d'un flux de bits initial (PRBS(T_1)) généré à une première fréquence (f_1) relativement basse, en un flux de bit identique (PRBS(T_0)) accéléré à une deuxième fréquence (f_0) relativement élevée, caractérisé en ce qu'il comporte un combineur (40) dont une première entrée reçoit le flux de bits initial et dont une sortie fournit le flux accéléré, une deuxième entrée du combineur étant reliée par un élément retardateur (41) à la sortie du combineur.

6. Circuit selon la revendication 5, dans lequel un élément (42) de remise en forme à la fréquence élevée est prévu en sortie du combineur.

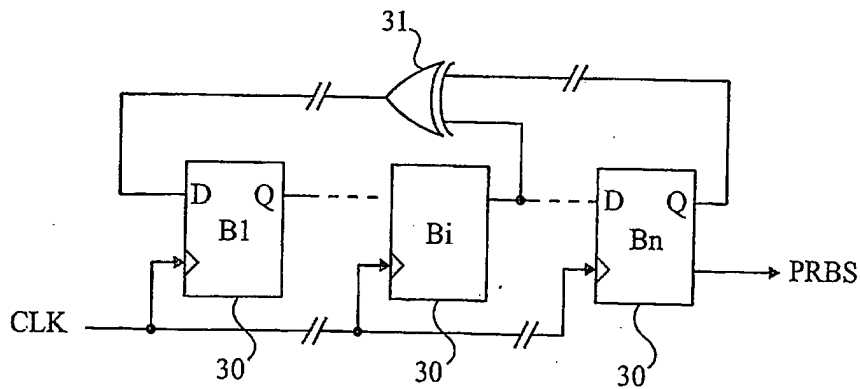
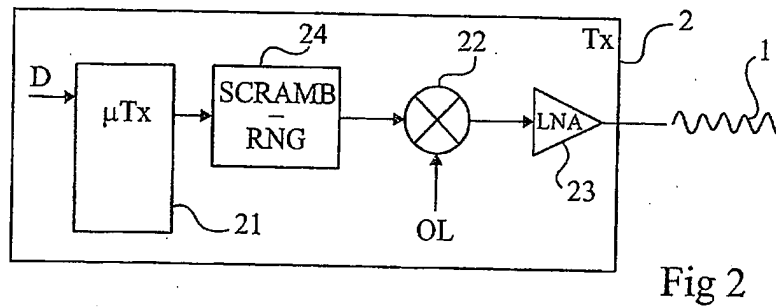
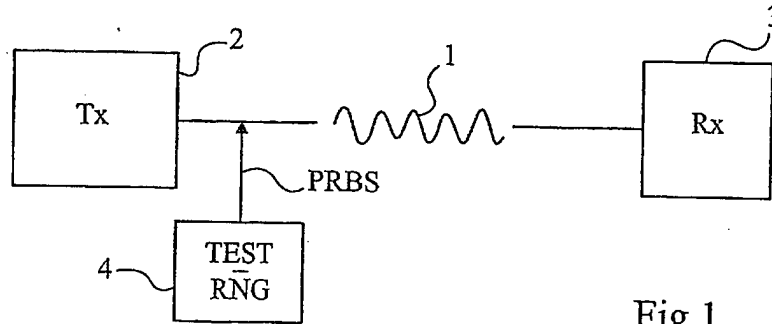
5 7. Circuit selon la revendication 5 ou 6, dans lequel un élément déphaseur est en outre prévu entre le générateur de la séquence pseudo aléatoire d'origine et le combineur (42).

8. Circuit selon l'une quelconque des revendications 5 à 7, dans lequel le flux de bits initial est obtenu par un générateur à bascules.

10 9. Circuit selon l'une quelconque des revendications 5 à 7, réalisé par des moyens optiques et/ou électroniques.

15 10. Circuit selon l'une quelconque des revendications 5 à 9, dans lequel le retard appliqué par ledit élément retardateur (41) est choisi par la mise en oeuvre du procédé de l'une quelconque des revendications 2 à 4.

1/2



2/2

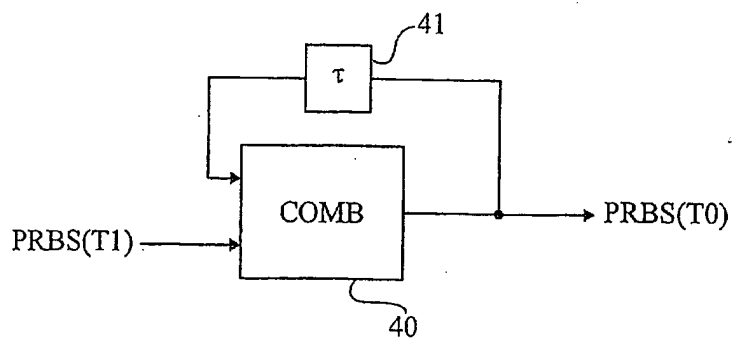


Fig 4

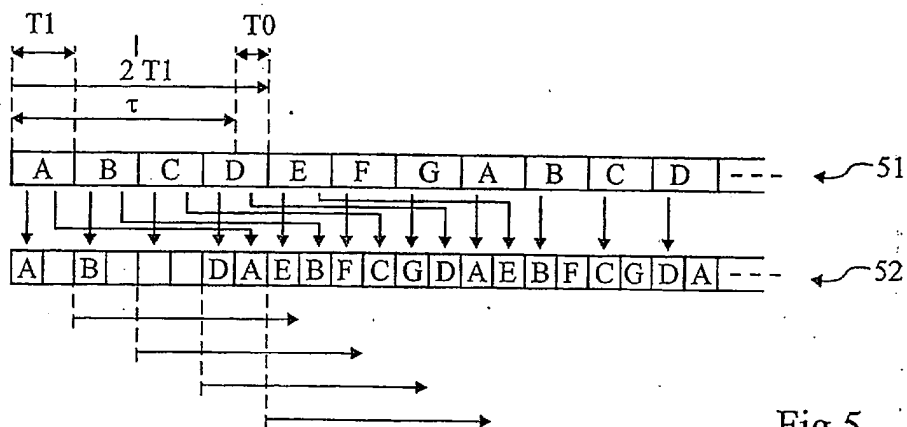


Fig 5

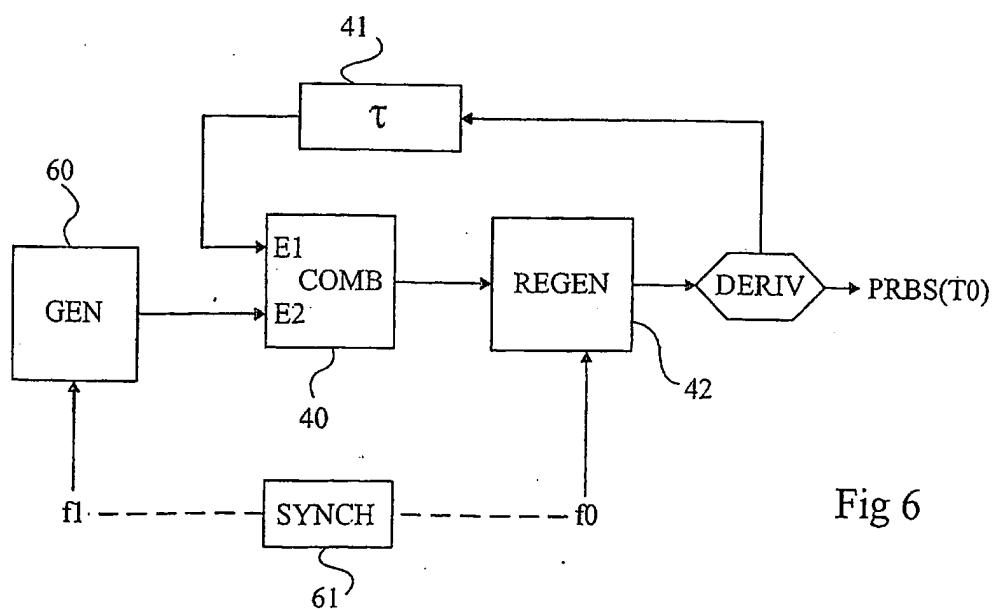


Fig 6

**BREVET D'INVENTION
CERTIFICAT D'UTILITE****Désignation de l'inventeur**

Vos références pour ce dossier	B6364
N°D'ENREGISTREMENT NATIONAL	
TITRE DE L'INVENTION	
	GENERATION D'UN FLUX DE BITS ALEATOIRE A HAUT DEBIT
LE(S) DEMANDEUR(S) OU LE(S) MANDATAIRE(S):	
DESIGNE(NT) EN TANT QU'INVENTEUR(S):	
Inventeur 1	
Nom	AUBIN
Prénoms	GUY GEORGES
Rue	ESCALIER 3, 40, RUE JEAN REY
Code postal et ville	78220 VIROFLAY
Société d'appartenance	

La loi n°78-17 du 6 janvier 1978 relative à l'informatique aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire.
Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

Signé par

Signataire: FR, Cabinet Michel de Beaumont, M.De Beaumont

Emetteur du certificat: DE, D-Trust GmbH, D-Trust for EPO 2.0

Fonction

Mandataire agréé (Mandataire 1)

PCT/FR2005/050058

